

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110993

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/338  
H01L 29/812  
H01L 29/778

(21)Application number : 11-287961

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 08.10.1999

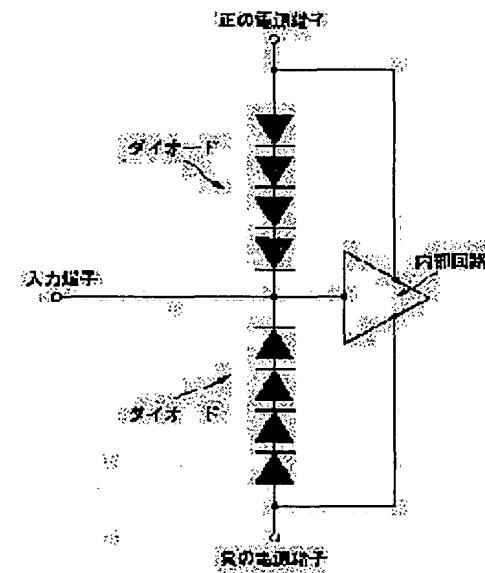
(72)Inventor : IKEDA HITOSHI  
KOBAYASHI NOBUO  
NISHINO AKIRA

## (54) ELECTROSTATIC PROTECTIVE CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an electrostatic protective circuit made of a protective diode for removing static electricity flowed from the outside by discharge even though the protective diode is difficult to use while a high-frequency semiconductor device is kept good in its performance.

**SOLUTION:** Each diode with a cathode connected to an input terminal is provided between a positive power terminal and the input terminal of a high-frequency semiconductor device and between a negative power terminal and the input terminal of the high-frequency semiconductor device. By using the electrostatic preventive circuit, a decrease in characteristics of the high-frequency element is prevented, and ESD breakdown withstanding strength at positive and negative poles can be improved. At least, one diode is required in connection, and a voltage, at which a current begins to flow in the electrostatic protective circuit can be set by joining a plurality of diodes in series. Then, each desired voltage can be set by adjusting the number of diodes even when absolute values of positive and negative power voltage are different.



本発明の発明の説明に対する図

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-110993

(P2001-110993A)

(43)公開日 平成13年4月20日(2001.4.20)

(51)Int.Cl.

H 01 L 27/04  
21/822  
21/338  
29/812  
29/778

識別記号

F I

H 01 L 27/04  
29/80

マーク(参考)

H 5 F 038  
B 5 F 102

P  
H

審査請求 未請求 請求項の数7 OL (全7頁)

(21)出願番号 特願平11-287961

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(22)出願日 平成11年10月8日(1999.10.8)

(72)発明者 池田 等

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 小林 信夫

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 100089093

弁理士 大西 健治

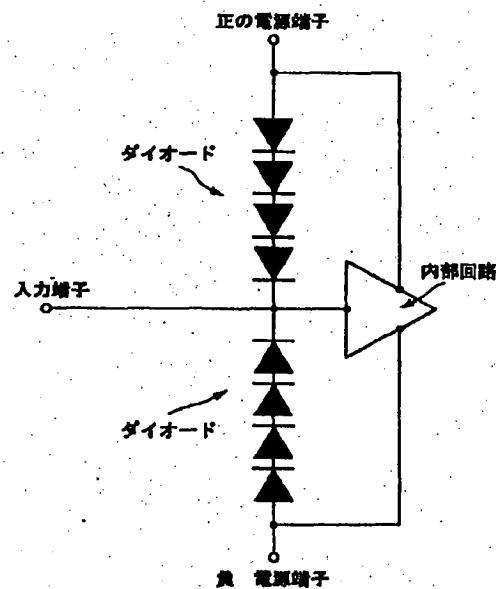
最終頁に続く

(54)【発明の名称】 静電保護回路

(57)【要約】

【課題】 従来は、高周波半導体装置の性能を維持しつつ、外部から流入する静電気を効果的に放電除去する方法がほとんどなく、このような保護ダイオードを設けることは極めて困難であった。

【解決手段】 本願発明では、上記課題を解決するため、高周波半導体装置の入力端子と正の電源端子との間に、高周波半導体装置の入力端子と負の電源端子との間に、それぞれ入力端子にカソードが接続されるようにダイオードを設けるようにしたのである。この静電保護回路によって、高周波素子の特性を劣化させることなく、正負両極性においてESD耐圧の向上が図れるのである。また、接続するダイオードは、少なくとも1つあれば良く、複数個のダイオードを直列に接続することで、静電保護回路に電流が流れ出す電圧値を設定できる。従って、仮に正と負の電源電圧の絶対値が異なる場合でも、ダイオードの個数を調節することで、それぞれ任意の電圧値を設定できる。



本願第1の発明の説明に供する図

**【特許請求の範囲】**

**【請求項1】** 高周波半導体装置の入力端子と正の電源端子との間と、前記高周波半導体装置の前記入力端子と負の電源端子との間に、それぞれ前記入力端子にカソードが接続されるようにダイオードを設けたことを特徴とする静電保護回路。

**【請求項2】** 高周波半導体装置の入力端子と、第1のダイオードのカソードとを接続し、前記第1のダイオードのアノードと正の電源端子との間に第2のダイオードを設け、前記第1のダイオードのアノードと前記第2のダイオードのカソードを接続するとともに前記第2のダイオードのアノードと前記正の電源端子とを接続し、前記第1のダイオードのアノードと負の電源端子との間に第3のダイオードを設け、前記第1のダイオードのアノードと前記第3のダイオードのカソードを接続するとともに前記第3のダイオードのアノードと前記負の電源端子とを接続したことを特徴とする静電保護回路。

**【請求項3】** 請求項2における前記第1乃至第3のダイオードが、1個乃至複数個のダイオードを同一極性の方向に直列に接続したダイオードから構成されることを特徴とする静電保護回路。

**【請求項4】** 請求項1乃至請求項3における前記ダイオードが、レベル調整用のショットキーダイオードであることを特徴とする静電保護回路。

**【請求項5】** 請求項4における前記レベル調整用ダイオードのショットキー電極の電極幅が $50\mu\text{m}$ 以下であることを特徴とする静電保護回路。

**【請求項6】** 請求項1乃至請求項5における前記高周波半導体装置が電力増幅装置であることを特徴とする静電保護回路。

**【請求項7】** 請求項1乃至請求項5における前記高周波半導体装置が前置増幅装置であることを特徴とする静電保護回路。

**【発明の詳細な説明】**

**【0001】**

**【産業上の利用分野】** 本発明は、半導体装置さらにはGaAs系HEMT(High Electron Mobility Transistor)、MESFET(Metal Semiconductor Field Effect Transistor)で構成された半導体集積回路に適用して有効な技術に関し、例えば光通信用の光送受信装置における各種増幅器、ドライバの信頼性の向上に有用な技術に関するものである。

**【0002】**

**【従来の技術】** 静電気放電(ESD: Electrostatic Discharge)は、半導体装置が配置されている機器の他の回路部分や絶縁物、また半導体装置を取り扱う人間の人体などから発生し、半導体装置の破壊や損傷を引き起す。ESDは、半導体装置の信頼性を左右する重要な要因であり、より安定な動作を確保するためにはESDに対する耐圧を充分に高めることが望ましい。

**【0003】** このようなESDにより特に損傷を受けやすいのが、入力部に位置する增幅用のFETである。この損傷は一般的には熱的破壊と考えられ、ESDが加わることにより、電極金属-半導体接合部に電流が流れ、これにより急激に温度が上昇し、接合部の抵抗が低くなつて熱暴走が生じ、接合部が溶解して破壊されるものと考えられている。

**【0004】** 従来、ESDから半導体装置を保護するために、増幅回路の入力側または出力側に所定電圧以上で動作するように設計されたツェナーダイオードなどを設ける方法が知られている。図5は、従来の静電保護回路を示す図であり、一般的な入力保護のための構成を示している。通常の該半導体装置の駆動電圧下では、ダイオードは閉じている。このダイオードは所定電圧以上になると動作し、必要以上の電圧入力により生じる過度の電流を、プラス側電源(Vdd)あるいはマイナス側電源(Vss)にバイパスし、内部回路が保護されるものである。

**【0005】**

**【発明が解決しようとする課題】** GaAsとAlGaAsなどのように種類の異なる半導体の薄膜積層構造や、不純物濃度の異なる半導体の薄膜積層構造は、高速トランジスタや高性能レーザなど、各種デバイスの実現に不可欠の役割を果たしている。特にGaAsに代表される化合物半導体の、高い電子移動度を活かした種々の積層構造FET(HEMTやMESFETなど)は、高速光信用の増幅器やドライバといった、高周波半導体装置を構成する上での高速半導体素子などとして極めて重要である。

**【0006】** このような高周波半導体装置においても、当然のことながら、より安定した動作を確保し、信頼性を向上させるためには、ESDに対する耐圧を高めることが望ましい。そこで、従来の半導体装置では、上述したように入出力側に保護用ダイオードを付加する方法が提案されている。

**【0007】** しかしながら、薄膜積層構造を用いたHEMTやMESFET素子と同一のウェハ上に、所定電圧で動作するように設計されたツェナーダイオードなどのような特別なESD保護用ダイオードを製造するのは困難であるばかりでなく、プロセス工程の大幅増につながる。

**【0008】** また、何よりもまして、低周波から十数GHzもしくはそれ以上まで、広帯域で動作させるような高速光信用高周波半導体装置に、このようなダイオードを単純に付加すると、インピーダンス整合などの設計の際の制約条件となると同時に、高周波半導体装置の性能を極端に低下させる要因となる。

**【0009】** 従って従来は、高周波半導体装置の性能を維持しつつ、外部から流入する静電気を効果的に放電除去する方法がほとんどなく、このような保護ダイオードを設けることは極めて困難であった。

**【0010】** また、仮に図5で示したような従来方法をとった場合であっても、半導体装置が機器に配置され電

源などとの接続が施された後はESDに対して非常に有効であるものの、従来法ではESDの極性の単一の方向にしか効果がなく、例えば、機器に配置される前の半導体装置を人間が取り扱い、入力とプラス側電源(Vdd)間に、入力がマイナスなるような極性でESDが生じた場合、ESDの放電経路が確保されず、入力FETを破壊するおそれがあり、到底満足できるものではなかった。

## 【0011】

【課題を解決するための手段】本願発明では、上記課題を解決するため、高周波半導体装置の入力端子と正の電源端子との間に、高周波半導体装置の入力端子と負の電源端子との間に、それぞれ入力端子にカソードが接続されるようにダイオードを設けるようにしたものである。この静電保護回路によって、高周波素子の特性を劣化させることなく、正負両極性においてESD耐圧の向上が図られるのである。

【0012】接続するダイオードは、少なくとも1つあれば良く、複数個のダイオードを直列に接続することで、静電保護回路に電流が流れ出す電圧値を設定できる。従って、仮に正と負の電源電圧の絶対値が異なる場合でも、ダイオードの個数を調節することで、それぞれ任意の電圧値を設定できる。

【0013】また、高周波半導体装置の入力端子と、第1のダイオードのカソードとを接続し、第1のダイオードのアノードと正の電源端子との間に第2のダイオードを設け、第1のダイオードのアノードと第2のダイオードのカソードを接続するとともに第2のダイオードのアノードと正の電源端子とを接続し、第1のダイオードのアノードと負の電源端子との間に第3のダイオードを設け、第1のダイオードのアノードと第3のダイオードのカソードを接続するとともに第3のダイオードのアノードと負の電源端子とを接続したことによって、不要な容量を入力部に接続することができないため、より高周波素子特性の劣化の度合いが小さく、同時に正負両極性においてESD耐圧の向上が図られるのである。

【0014】更に、上述した第1乃至第3のダイオードを、1個乃至複数個のダイオードを同一極性の方向に直列に接続したダイオードによって構成することにより、ダイオードの個数によって、電流が流れ出す電圧値を自由に設定することができる。従って、仮に正負の電源電圧の絶対値が異なる場合でも、ダイオードの個数を調節することで、それぞれ任意の電圧値を設定できる。

【0015】また、ダイオードをレベル調整用のショットキーダイオードで構成することにより、高周波素子の製造プロセスに、不要な工程を付加させることなく、簡便に静電保護回路を形成することが可能となる。このレベル調整用ダイオードのショットキーデバイスの電極幅は、適用する高周波素子にもよるが、 $50\mu m$ 以下である必要があり、更に $30\mu m$ 以下であることが望ましい。

【0016】この静電保護回路は、高周波半導体装置に広く適用可能であるが、電力増幅装置や前置増幅装置に用いて好適である。

## 【0017】

【実施の形態】本願発明は、現状の高周波素子製造プロセスの変更なく、更に、高周波半導体装置の性能を維持しつつ、静電気放電に対して充分な耐圧があり、信頼性を向上させた高周波半導体装置を提供することを目的とする。

【0018】また、高周波半導体装置を構成するGaAs系HEMT素子などの単一FETの極性をも含めたESD耐圧に着目し、従来の半導体集積回路の構成素子を用いるとともに、現状のプロセスの変更なしに製造できる、バイアス調整用ダイオード（基本的にはHEMT素子のソース・ドレンを短絡配線させた、いわゆるショットキーダイオード）を適切に配置することにより、高周波半導体装置の性能を維持しつつ、半導体装置としてのESD耐圧を向上させるものである。

【0019】発明者らは、先ず単体のHEMT素子、およびバイアス調整用ダイオード素子のESD耐圧を調べるためにESD試験(EIAJ ED4701準拠)を試みた。用いたHEMT素子はGaAs/AIGaAs系のHEMTで、ゲート幅 $100\mu m$ 、ゲート長 $0.1\mu m$ のものである。

【0020】また、バイアス調整用ダイオードは、ショットキーデバイス（バイアス調整用ダイオードのアノード電極：HEMTの場合ゲート電極に相当する）が $30\mu m \sim 2\mu m$ で、直列に2段接続させたものを用いた。

【0021】図3は、ESD試験を行ったHEMT素子とバイアス調整用ダイオードの端子間構成を示す概略図である。試験は①HEMTのゲート・ソース間（図3、①の端子1と端子2の間）でESD耐圧試験を行ったもの。②バイアス調整用ダイオードのカソード・アノード間（図3、②の端子3と端子4の間）でESD耐圧試験を行ったもの。③HEMTのゲートとバイアス調整用ダイオードのアノードをショットさせ、HEMTのソースとバイアス調整用ダイオードのカソードをショットさせたもののESD耐圧試験（図3、③の端子5と端子6の間）を行ったもの。④HEMTのゲートとバイアス調整用ダイオードのカソードをショットさせ、HEMTのソースとバイアス調整用ダイオードのアノードをショットさせたもののESD耐圧試験（図3、④の端子7と端子8の間）を行ったもの。

【0022】以上、計4種類の端子間構成を有するサンプルに、正負の極性を含めた、計8種類のESD耐圧試験を、実際に素子を作製して行った。試験は上述した測定端子間にカーブトレーサーを設置して、ESD印加前後のI-V特性に変化が認められたときに、半導体装置が損傷を受けたと判断し、その電圧よりも低く、I-V特性に変化が認められなかつたときの電圧を耐圧とした。

【0023】ESD試験の結果、上述①のHEMTのゲート・ソース間でESD耐圧試験を行ったものに関しては、ゲ

トがプラス側の極性のときはESD耐圧は数百V以上あったものの、ゲートがマイナスのときは100V以下と非常に低いものであった。また、②のバイアス調整用ダイオードのカソード・アノード間でESD耐圧試験を行ったものは順バイアス方向のときは1000V以上の耐圧があったものの、逆バイアスのときは100V以下であった。

【0024】更に、③のHEMTとバイアス調整用ダイオードの並列接続の場合は、両極性とも耐圧が100V以下であったのに対し、④の場合は、バイアス調整用ダイオードの順バイアス方向のときは耐圧1000V以上、逆バイアスのときも数百V以上と非常に良い耐圧特性を示すことがわかった。

【0025】HEMTの場合もバイアス調整用ダイオードの場合も、ゲート電極およびショットキー電極が半導体薄膜との間でつくるショットキー接合における逆バイアス方向の極性においてESD耐圧が低いものの、順バイアスでは、ある程度のESD耐圧を示すことがわかった。個々の素子に逆バイアスを印加した場合には電流が流れにくく、ESD耐圧試験の電圧により接合が破壊される。順バイアスでは基本的に電流が流れる条件なので過度の電流により破壊される。ESD耐圧の極性の観点からは、順バイアスの方が強く、④のようなHEMTとバイアス調整用ダイオードの順バイアス方向が逆になるような構成を取ることにより、ESDから生じる過度の電流は、流れやすい方に流れるため、結果として両極性での耐圧が向上することが明らかになった。

【0026】先に、従来用いていたような保護用ダイオードを、十数GHzもしくはそれ以上で動作する高周波半導体装置に用いた場合、その性能を大幅に低下させると述べたが、その実証と本願発明の有効性を示すためにシミュレーションを試みた。レベル調整用ダイオードを用いて、従来の方法でESDの両極性に対して耐圧を向上させるためには、図6に示したような構成が要求される。

【0027】ここで、本願発明の目的、つまり、先に述べたように入力とプラス側電源、マイナス側電源の、両電源間のESD耐圧を向上させるためには、図1のような構成をとればよい。入力部に多くのダイオードが接続されると容量性が多くなり、半導体装置の性能が劣化する場合がある。そこで本発明の発展型として図2のような構成を取ることもできる。

【0028】入力部に付加したダイオードが半導体装置の性能にどのような影響を及ぼすのかを判断する指針として、実際の電力増幅回路の入力部に図1、図2、図6のような構成のバイアス調整用ダイオードを配置させた回路と、全くバイアス調整用ダイオードを付加しない回路の、計4種類の回路のシミュレーションを行い、その周波数特性をSパラメータ、具体的には入力反射特性(S11)を求めた。図4にそのシミュレーション結果を示す。図4において、(a)が図6に示す構成であり、(b)が図1に示す構成、(c)が図2に示す構成、

(d)が全くバイアス調整用ダイオードを付加しない構成に、それぞれ対応している。

【0029】図4からわかるように、周波数が1GHz以下では、入力反射はほとんどない。しかし、10GHz程度の周波数領域においては、バイアス調整用ダイオードの配置構成により、入力反射特性が大きく異なることがわかる。図中(d)で示したのが、ESD保護用のバイアス調整用ダイオードが無いものである。図6で示した従来の構成では入力の反射が大きく、半導体装置の性能低下を容易に伺い知ることができる。本願発明である図1で示した構成では、10GHzで入力反射が-10dB以下と良好な特性を示すことがわかる。また、図2の構成をとったものについては、バイアス調整用ダイオードが無いものと遜色のない優れた入力反射特性を示すことがわかる。

【0030】このシミュレーションで用いたバイアス調整用ダイオードのショットキー電極の幅は30μmであり、この幅を増やしていくと入力反射特性が著しく悪化する。

【0031】従って本発明で用いるバイアス調整用ダイオードは、そのショットキー電極幅を50μm以下とする必要があり、望ましくは30μm以下が好適である。

【0032】発明者らは、実際に図1及び図2で示した本願発明の入力保護回路を有する高周波増幅装置を製造して、その効果を実証した。以下に、その具体例を挙げて詳細に説明する。

【0033】<第1の具体例>まず、図1で示したような構成のバイアス調整用ダイオードを有した高周波電力増幅装置を製造した。その電力増幅装置は+5V单一電源駆動で、入力の中心バイアスが+2Vになるように設計した。バイアス調整用ダイオードは、0.5V程度の電圧で電流が流れ出すことから、このバイアス調整用ダイオードが通常の電源電圧では動作しないように、入力に対してプラス側に7個、マイナス側に5個のダイオードを直列に並べる構成を取った。また、比較のためにこのダイオードを有しない増幅装置も同じプロセス、同じロットで製造した。

【0034】製造した高周波電力増幅装置はオンウェハ・プローピング装置によりプローブを当て、電力増幅装置を実際に+5Vの单一電源により駆動させた。ネットワークアナライザにより入出力端子のSパラメータを測定し、電力利得および-3dB帯域を測定した。

【0035】バイアス調整用ダイオードを有しない増幅装置の最大利得は15.7dB、帯域は12.5GHzであった。また、バイアス調整用ダイオードを有したものは、最大利得14.9dB、帯域は12.3GHzで、性能的には大きな差異は認められなかった。しかしながら、ESD耐圧試験の結果は、バイアス調整用ダイオードがない装置が100V以下であったのに対し、バイアス調整用ダイオードを有した装置は、300V以上と、大幅に耐圧が向上した。このように、図1に示した本願発明を高周波増幅装置に適用する

ことにより、その性能は維持しつつ、そのESD耐圧を3倍以上向上させる効果を得ることができる。

【0036】<第2の具体例>本具体例では、図1で示したような構成のバイアス調整用ダイオードを有した高周波前置増幅装置を製造した。使用電源は+3.3V、-2.0Vの2電源で、入力に対しプラス側に8個、マイナス側に5個のバイアス調整用ダイオードを設けた。また、実施例3の場合と同様に、比較のためにこのダイオードを有しない前置増幅装置も同じプロセス、同じロットで製造した。

【0037】製造した高周波前置増幅装置は実際に入力前段にフォトダイオードを実装、光コンポーネント・アナライザによりトランスインピーダンスを測定した。

【0038】その結果、バイアス調整用ダイオードを有しない増幅装置のトランスインピーダンスは57.5dBΩ、また、バイアス調整用ダイオードを有したものは、55.7dBΩと、本願発明のバイアス調整用ダイオードの有無により、多少の差異は認められるものの、性能が大きく変化することはなかった。一方、ESD耐圧は、バイアス調整用ダイオードがない装置が100V程度であったのに対し、バイアス調整用ダイオードを有した装置は400V以上と、本願発明の高周波前置増幅装置への応用は、その耐圧向上に大きな効果があった。

【0039】<第3の具体例>本具体例では、図2で示したような構成のバイアス調整用ダイオードを有した高周波前置増幅装置を製造した。使用電源は具体例2と同様、+3.3V、-2.0Vの2電源で、入力に対し1個のバイアス調整用ダイオードを介し、プラス側に8個、マイナス側に5個のバイアス調整用ダイオードを設けた。

【0040】製造した高周波前置増幅装置は具体例2と同様に、実際に入力前段にフォトダイオードを実装、光コンポーネント・アナライザによりトランスインピーダンスを測定した。

【0041】その結果、トランスインピーダンスは57.3dBΩと、バイアス調整用ダイオードがないものに比べ、性能的には全く遜色がなかった。これは、具体例2と比べ、バイアス調整用ダイオードが1個余計に必要となるものの、入力直結のダイオードの数が少なった結果、余分な容量が少なくなったためであると考えられる。

【0042】また、ESD耐圧は350V以上と、バイアス調整用ダイオードを入力に付加しない高周波前置増幅装置

のESD耐圧を3倍以上、向上させる効果があった。

【0043】さらに、フォトダイオードからの入力電流に換算して1mA程度の大入力に対しても、バイアス調整用ダイオードの有無による性能の差異はほとんどなかつた。

【0044】高周波前置増幅装置の場合、大入力時には、入力バイアスがプラス側に振れるが、図2のような構成を取ることにより、入力直結のバイアス調整用ダイオードが、入力バイアスの振れを吸収する。また、入力のプラス側への振れに対しては、入力-負電源間のバイアス調整用ダイオードが逆バイアス状態であり、通常の駆動電源では、このバイアス調整用ダイオードが動作しない構成になっている。このように、大入力時においても、高周波前置増幅装置の性能を維持しつつ、ESD耐圧を向上させる効果があることがわかる。

#### 【0045】

【発明の効果】以上、詳細に説明したとおり、本願発明によれば高周波素子の特性を劣化させることなくESD耐圧を向上させることができるという効果が期待できる。

#### 【0046】

【利用形態の説明】以上、発明者らによってなされた発明を、実施形態に基づき具体的に説明したが、本願発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0047】以上の説明では、主として発明をその背景となった利用分野である光信用送受信装置を構成するGaAs系半導体装置、特に十数GHz帯で動作する装置の入力保護回路として利用することができる。そして、HEMTを用いた高周波素子、特に高周波増幅装置の入力部に用いて好適である。

#### 【図面の簡単な説明】

【図1】本願第1の発明の説明に供する図

【図2】本願第2の発明の説明に供する図

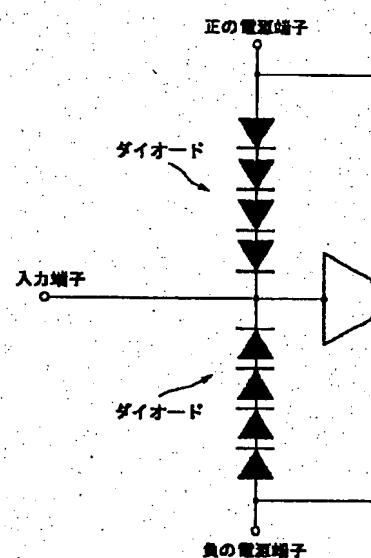
【図3】ESD試験を行ったHEMT素子とバイアス調整用ダイオードの端子間構成を示す概略図

【図4】各ダイオード構成を用いた増幅回路の入力反射特性

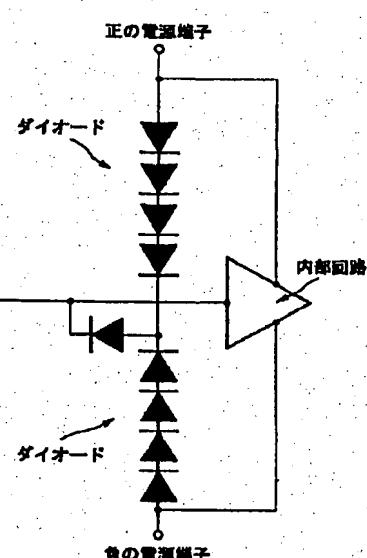
【図5】従来の静電保護回路

【図6】両極性に対してESD耐圧を持たせた従来の静電保護回路

【図1】



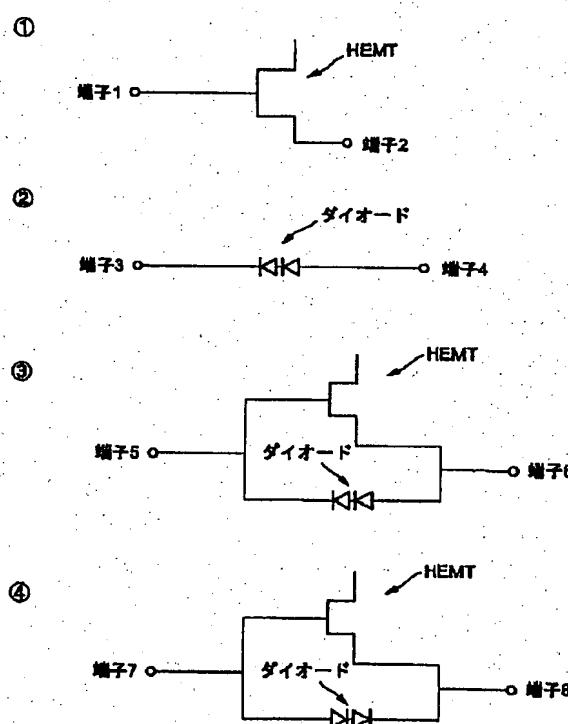
【図2】



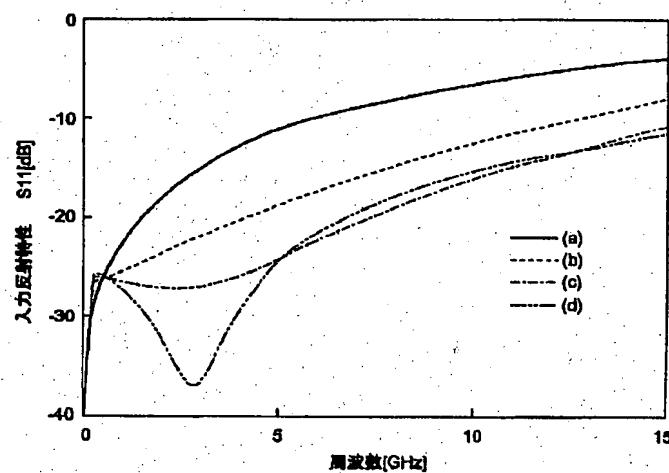
本願第1の発明の説明に供する図

本願第2の発明の説明に供する図

【図3】



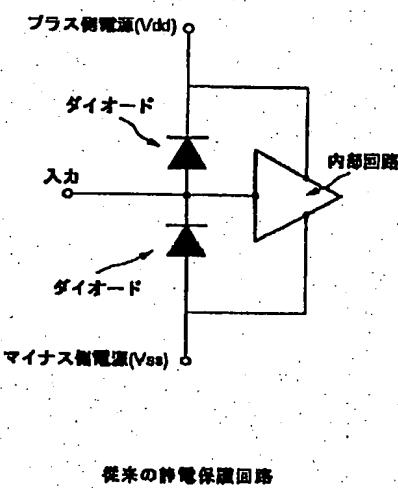
【図4】



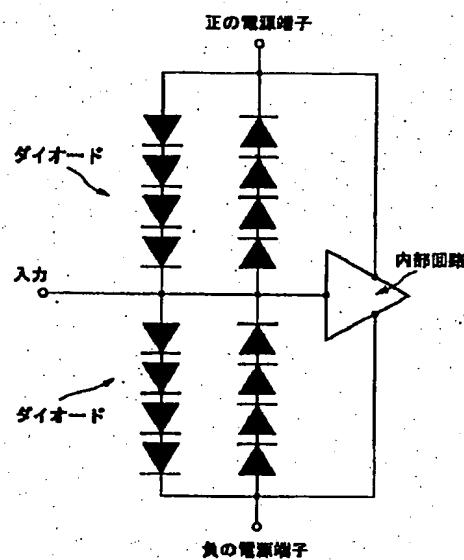
各ダイオード構成を用いた増幅回路の入力反射特性

ESD試験を行ったHEMT素子とバイアス調整用ダイオードの  
端子間構成を示す略図

【図5】



【図6】



同様性に対してESD耐圧を持たせた従来の静電保護回路

フロントページの続き

(72) 発明者 西野 章

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

Fターム(参考) 5F038 AZ10 BE09 BH04 BH05 BH13

DF02 EZ02 EZ10 EZ20

5F102 FA06 GA14 GD01 GJ05